(9) 日本国特許庁 (JP)

即特許出願公開

⑩公開特許公報(A)

昭56—121232

MInt. Cl.3 H 01 H 47/02

識別記号

庁内整理番号 6959-5G

昭和56年(1981) 9月24日 63公開

発明の数 審査請求 未請求

(全 3 頁)

切りレー、接触器等の低パウンスリレー駆動回 路

門真市大字門真1048番地松下電

工株式会补内

昭55-24286

切出 願 人 松下電工株式会社

門真市大字門真1048番地

砂田 昭55(1980) 2 月28日 顧

理 人 弁理士 高山敏夫

外1名

@発 者 松原勇作

1.発明の名称

即特

リレー、接触器等の低パウンスリレー駆動回路 2. 特許請求の範囲

スイッチング用の領1トランジスタを適して入 力端子間に加えられる入力電圧をコイルの如き負 荷に印加するものにおいて、前記第1トランジス タのコレクタとアース側の前配崩子間に第1,第 2 抵抗 むよび 第 2 トランシスメを 挿入し、かつ 前 記算1トランジスタのペースと的記アース個端子 間に引る抵抗および第3トランジスタを挿入する と共に前配第1,第2抵抗の接続点を前配第1下 ランジスタのペース側に接続し、前配第2トラン ジスタは第1遅延回路からの出力が加えられると 共にとの第1遅延回路の出力が加えられる第2遅 延回路の反転出力が加えられるアンド回路出力に よりオンし、前記第3トランジスタは前記第2ト ランジスタがオフした後第2遅延回路、網2選延 凹路の出力により一定時間後にオンせしめられ、 前記第1トランジスタの分圧比を段階的に変化さ せ負荷に加わる電圧を制御するように構成したと とを特徴とするリレー、接触器等の低パウンスリ レー駆動回路。

3. 発明の詳細な説明

本発明はリレー、接触姿勢に適用され、かつか かる根器の接点投入時のパウンス低下、脳音低下 を図つた低パウンスリレー駆動回路に関する。

一般に、小型リレー、扱触器等では乗点投入時 の選度を遅くすれば接点のパウンスも低下し、ま た動作時の騒音も低下するととが知られている。 しかし動作速度を遅くすると通常動作時間が長く なり実用上間題が生じる場合が多い。

本発明は上記の点に低み投案されたもので、主 として動作時間を遅らさずにパウンスの低下、扱 点投入時の融音低下を実現するリレー、接触器等 の低パウンスリレー収動回路を提供することを目 的とするものである。

すなわち、コイルの励磁により生する電磁力に より可動接点が固定接点側に向つて動き始めるよ **りに帯成された周知のリレー、接触器等において、**

以下、図面に沿つて本発明の実施例を説明すると、第2図において Qi は N P N 型の第1のトランジスタで、そのコレクタは囃子 A に接続され、かつエミンタはコイル L の一端に接続され、とのコイル L の他端はアース側の端子 B に接続されている。そして、端子 A , B 間には入力電圧 Eiが加えられるようになつており、トランジスタ Qi がオンした場合にコイル L に後述する所定の電圧が印加

 R_1 および R_2 の最終点とトランジスタ Q_1 のペースおよび抵抗 R_3 の最終点間が接続され、トランジスタ Q_2 のペースの分圧比がトランジスタ Q_2 ・ Q_3 のオン・オフに応じ可変し、これによつてコイルLに加わる世圧が段階的に変化するようになつている。 次に本発明の動作を説明する。

いま、端子A,B間に入力電圧E₁を加えると、 トランジスタQ₂のペースには遅延回路1,2を通 L まカトランジスタQのペースには遅延回路1

し、またトランジスタ Q_3 のペースには遅延回路 1 ~ 3 を適してパイアスが加わるようになつているため当初トランジスタ Q_2 , Q_3 はオフ状態にある。一方、トランジスタ Q_1 のペースには抵抗 R_1 を介しペース電圧が加わるためにオンし、よつてコイル 1 には電圧 1 に次質的に等しい電圧が印加される。しかして、遅延回路 1 の出力端 1 には一定時間 1 だけ遅れて 1 レベルの出力が 現われ、また遅延回路 1 の区を出力 1 でいないとき 1 であるから、これらの出力が加えられる 1 ンド回路 1 の出力は 1 となり、このためトランジスタ1 は 1 となり、このためトランジスタ1 は 1 となり、このためトランジスタ1 は 1 となり、

され、とれにより周知のリレー、接触指等の接点が適宜動作するように構成されている。

また、1は、例えばインバータ特からなる第1 の選延回路で入力端は端子人に接続され、かつ出 力強は抑2の遅延回路2に接続され、との遅延回 路2の出力は第3の選延回路3に加えられるよう に接続されている。 4 はアンド回路で、入力端に は前記の遅延回路1の出力および遅延回路2の反 転出力端子側の出力が加えられ、それらのアンド 条件がとられ、とのアンド回路4の出力はエミツ タが端子 B に接続された N P N 型のトランジスタ Q。を制御すべくそのトランジスタ Q,のペースに加 えられるように接続されている。また、トランジ スタQ2のコレクタは第1,第2の抵抗 R1,R2の直 列回路を介しトランジスタQのコレクタに接続さ れている。一方、温延回路3の出力はエミツタが 端子Bに接続されたトランジスタQgのベースに加 えられるようになつており、とのトランジスクQ。 のコレクタは第3の抵抗 Raを介してトランジスタ Qのペースに接続されていると共に、前紀の抵抗

しかる後、遅延回路1の出力は後疑の遅延回路 2 に入るので遅れ時間 T₂後遅延回路2の出力端 Q はしに変化するためにアンド回路4の出力もHか らしへ変化し、よつてトランジスタ Q₂は オフドな るので、コイルしには再び E₁の塩 E が印加される。 このようにして 接点相互が接触する直前に再びコイルに高い電圧 E₁を加えると、これにより接点は 加速されるがスピードが余り上昇しないうちに接 点が接触するので、 接点接触時の衝散は小さく。 また殿育、振動も少ない。 この場合、コイル電圧 は十分に高く、接放圧も高いので、接点接触後は 接点閉底に作り衝撃等によつても開催するかそれ が少なく、パウンスが少なくなる。

盤度上昇を防止するととができる。

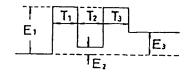
4.図面の簡単左説明

第1図は本発明の動作説明図、第2図は本発明 の実施例の具体例である。

Q₁~Q₃----- 第 1 ~ 第 3 トランジスタ、 L ---- コイル、 1 ~ 3 ----- 第 1 ~ 第 3 遅延回路、 4 ----- アンド回路、 R₁~R₃----- 第 1 ~ 第 3 抵抗o

特許出版人 松下電工株式会社 代理人 弁理士 高 山 敏 失

才1 図



才 2 図

